

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196556

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 2000-001838

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 07.01.2000

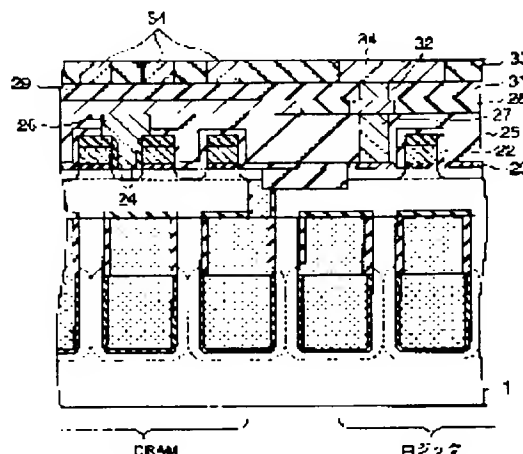
(72)Inventor : MIZUSHIMA ICHIRO
TSUNASHIMA YOSHITAKA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the manufacturing costs and periods of an LSI that has mixedly a DRAM, using a trench capacitor in the memory cell of the DRAM.

SOLUTION: A plurality of trench capacitors are formed on an entire silicon substrate 1, only the trench capacitors in a DRAM region are electrically connected to a MOS transistor, and the remaining trench capacitors are electrically isolated from the MOS transistor, composing a logic circuit, and is prevented them from being used.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-196556

(P2001-196556A)

(43) 公開日 平成13年7月19日 (2001.7.19)

(51) Int.Cl.⁷

識別記号

F I

データベース (参考)

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 F 5 F 0 8 3

21/8242

6 2 5 A

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-1838(P2000-1838)

(22) 出願日 平成12年1月7日 (2000.1.7)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 水島 一郎

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 綱島 祥隆

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

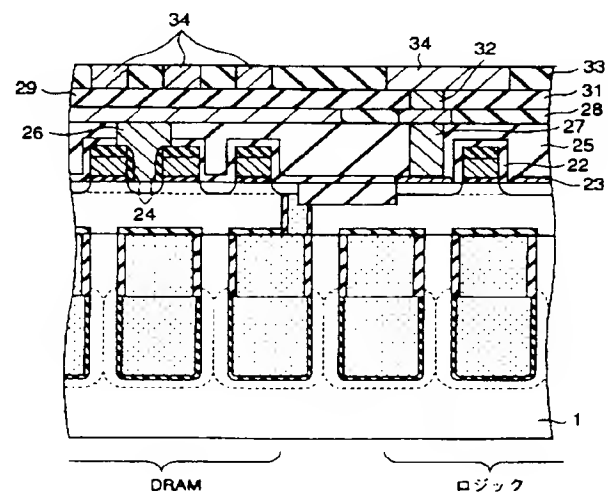
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 DRAMのメモリセルにトレンチキャパシタを使用したDRAM混載LSIにおける製造コストの削減化および製造期間の短縮化を実現すること。

【解決手段】 シリコン基板1の全体に複数のトレンチキャパシタを形成し、これらのトレンチキャパシタのうち、DRAM領域のものだけをメモリセルのMOSトランジスタと電氣的に接続し、残りのトレンチキャパシタはロジック回路を構成するMOSトランジスタと電氣的に分離し、使用しない。



【特許請求の範囲】

【請求項1】半導体からなる基板の第1の領域に形成された複数の第1の半導体素子と、

前記第1の領域に形成され、前記複数の第1の半導体素子と電気的に接続された複数の第1のトレンチキャパシタと、

前記基板の第2の領域に形成され、前記複数の第1の半導体素子と電気的に分離した複数の第2のトレンチキャパシタとを具備してなることを特徴とする半導体装置。

【請求項2】半導体からなる基板の第1の領域に形成された複数の第1の半導体素子と、

前記第1の領域に形成され、前記複数の第1の半導体素子と電気的に接続された複数の第1のトレンチキャパシタと、

前記基板の第2の領域に形成された複数の第2の半導体素子と、

前記第2の領域に形成され、前記複数の第1および第2の半導体素子と電気的に分離した第2の複数のトレンチキャパシタとを具備してなることを特徴とする半導体装置。

【請求項3】前記第1の領域はDRAM領域、前記第1の半導体素子はメモリセルを構成するMOSトランジスタ、前記第2の領域はロジック領域、前記第2の半導体素子はロジック回路を構成するMOSトランジスタであることを特徴とする請求項2に記載の半導体装置。

【請求項4】前記基板は、前記複数の第1および第2のトレンチキャパシタが形成された半導体基板と、この半導体基板上に形成され、前記複数の第1の半導体素子、または前記複数の第1および第2の半導体素子が形成された半導体層とを含むことを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項5】前記第1および第2のトレンチキャパシタは、同じ構造かつ同じ寸法のトレンチキャパシタであることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項6】前記第1の半導体素子は、前記第1のトレンチキャパシタの上に形成されていることを特徴とする請求項1ないし3のいずれか1項に記載の半導体装置。

【請求項7】半導体基板に複数のトレンチキャパシタを形成する工程と、

前記複数のトレンチキャパシタを覆うように、前記半導体基板上にシリコン層を形成する工程と、

前記複数のトレンチキャパシタの一部と電気的に接続する複数の第1の半導体素子を前記シリコン層に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】半導体基板に複数のトレンチキャパシタを形成する工程と、

前記複数のトレンチキャパシタを覆うように、前記半導体基板上にシリコン層を形成する工程と、

前記複数のトレンチキャパシタの一部と電気的に接続する複数の第1の半導体素子を前記シリコン層に形成する工程と、

前記複数の第1の半導体基板が形成された領域とは別の領域に、前記複数のトレンチキャパシタと電気的に分離した複数の第2の半導体素子を前記シリコン層に形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルにトレンチキャパシタを使用したDRAM混載LSIなどのように、トレンチキャパシタを使用する領域および利用しない領域を含む半導体装置およびその製造方法に関する。

【0002】

【従来の技術】LSIは、DRAMLSIやロジックLSIといったように、機能毎に異なったチップとして以前は製造されていた。しかし、近年、LSIの高性能化への要請から、異なった機能を有するLSIをワンチップ化した、システムLSIあるいは混載LSIと称されるLSIとして製造されるようになってきている。

【0003】システムLSIは、従来の一種で大量の需要の見込まれた汎用DRAMやロジックLSIとは異なり、少量多品種生産の製品であるとともに、製造の短期化が必要とされる製品である。

【0004】ところが、DRAMとロジックLSIとのシステムLSI（DRAM混載LSI）においては、その製造工程を考えると、少量生産で品種毎にマスクが異なるためにマスク費用にコストがかかる。そのため、DRAMLSIやロジックLSI等のLSIに比べて、製造コストが高くなるという問題がある。

【0005】さらに、品種毎に仕様に合わせたマスクを作製するために、マスクの作製に時間がかかり、製造期間の短期化が困難になるという問題がある。

【0006】さらにまた、DRAMのメモリセルを構成するキャパシタとしてトレンチキャパシタを使用した場合、トレンチキャパシタの合計面積（占有面積）が品種毎に異なるために、エッチングの条件出しが品種毎に必要になる。

【0007】すなわち、メモリセルを構成するトレンチキャパシタの深さおよびアスペクトが同じでも、メモリセル内のトレンチキャパシタの合計面積が異なると、トレンチのエッチング条件も変わってしまう。そのため、エッチングの条件出しが必要となり、製造期間の短期化がさらに困難になるという問題がある。

【0008】

【発明が解決しようとする課題】上述の如く、DRAM混載LSIは少量多品種生産であることから、DRAMLSIやロジックLSI等のLSIに比べて、製造コストが高くなったり、製造期間の短期化が困難になるとい

う問題がある。特に、DRAMのメモリセルにトレンチキャパシタを使用した場合、エッチングの条件出しが品種毎に必要なため、製造期間の短期化がさらに困難になるという問題がある。

【0009】本発明は、上記事情を考慮してなされたもので、その目的とするところは、製造コストの削減化および製造期間の短縮化を可能とする、複数の半導体素子と複数のトレンチキャパシタとが電氣的に接続された領域、および複数の半導体素子と複数のトレンチキャパシタとが電氣的に分離された領域を含む半導体装置およびその製造方法を提供することにある。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】すなわち、上記目的を達成するために、本発明に係る半導体装置は、半導体からなる基板の第1の領域に形成された複数の第1の半導体素子と、前記第1の領域に形成され、前記複数の第1の半導体素子と電氣的に接続された複数の第1のトレンチキャパシタと、前記基板の第2の領域に形成され、前記複数の第1の半導体素子と電氣的に分離した複数の第2のトレンチキャパシタとを備えていることを特徴とする。

【0012】また、本発明に係る半導体装置の製造方法は、半導体基板に複数のトレンチキャパシタを形成する工程と、前記複数のトレンチキャパシタを覆うように、前記半導体基板上にシリコン層を形成する工程と、前記複数のトレンチキャパシタの一部と電氣的に接続する複数の第1の半導体素子を前記シリコン層に形成する工程とを有することを特徴とする。

【0013】本発明に係る半導体装置は、本発明に係る半導体装置の製造方法により、製造コストの削減化および製造期間の短縮化を図れるようになる。

【0014】すなわち、半導体基板に複数のトレンチキャパシタを形成し、これらのトレンチキャパシタのうち実際に使用するものだけを半導体素子と電氣的に接続するようにすれば、トレンチキャパシタのトレンチを形成するためのマスク（トレンチマスク）は一つで済む。したがって、一度エッチングの条件出しを行えばその後は不要となるため、製造期間の短期化を図れるようになる。

【0015】さらに、トレンチマスクは、半導体基板のサイズが同じであれば、半導体基板に形成するシステムLSIの品種に関係なく、1種類のマスクで済むので、マスク費用のコストを削減化でき、その結果として製造コストの削減化を図れるようになる。

【0016】さらにまた、仕様に合わせたマスクが完成する前にトレンチキャパシタを完成することは可能なので、実質的な工程期間（仕様に合わせたマスクが出来上がってから製造工程が終了するまでの工程期間）を短縮

できることでも、製造期間の短縮化を図れる。

【0017】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかにするであろう。

【0018】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0019】図1～図8は、本発明の一実施形態に係るDRAM混載LSIの製造方法を示す断面図である。

【0020】まず、図1（a）に示すように、（100）面方位を有するp型のシリコン基板1上にトレンチ形成用のマスクパターン2を形成し、これをマスクに用いてシリコン基板1をRIE法にてエッチングし、基板全体に複数の同じ寸法のトレンチ3を一様に形成する。

【0021】マスクパターン2は、シリコン酸化膜とその上に形成されたシリコン窒化膜とからなる積層絶縁膜をフォトリソグラフィおよびエッチングを用いて加工することにより形成する。

【0022】ここで、従来は、トレンチ3はDRAM領域にしか形成しないが、本実施形態では基板全体、すなわちDRAM領域およびロジック領域に形成する。トレンチ3のエッチング条件は、トレンチキャパシタの合計面積（DRAM領域の面積）によって変わる。しかし、本実施形態では、基板全体にトレンチキャパシタを形成するので、DRAM領域の面積に関係なく、言い換えればDRAM混載LSIの品種に関係なく常に同じエッチング条件でトレンチ3を形成することができる。そのため、エッチングの条件出しが不要となり、製造期間の短縮化を図れるようになる。

【0023】さらに、DRAM領域の配置は、通常、DRAM混載LSIの品種毎に異なるため、品種毎に異なるトレンチキャパシタ用のマスクが必要となる。しかし、本実施形態では、基板全体にトレンチキャパシタを形成するので、品種に関係なく同じマスクを使用できる。そのため、マスクの作製に要する時間およびコストを削減でき、製造期間の短縮化および製造コストの低減化を図れる。

【0024】次に図1（b）に示すように、トレンチ3の側面および底面を被覆するようにn型不純物を含む不純物ドーパント膜4を全面に形成した後、トレンチ3内をその途中の深さまでフォトレジスト5で埋め込む。不純物ドーパント膜4としては、例えば砒素ガラス膜があげられる。

【0025】フォトレジスト5は、以下のようにして形成する。すなわち、ポジ型のフォトレジストを全面に塗布し、次にトレンチ3の中央部よりも上の部分のフォトレジストだけを全面露光し、最後にフォトレジストを現像して、その上部だけを除去することによって形成する。

【0026】次に図2（c）に示すように、フォトレジ

スト5をマスクにして不純物ドーパ膜4をエッチングして、フォトレジスト5よりも上の部分のトレンチ3の側面を露出させ、フォトレジスト5を除去し、図示しないCVD酸化膜を全面に形成してから、熱処理により不純物ドーパ膜4中の不純物を基板中に拡散させ、n型の拡散層(プレート電極)6を形成する。この後、不純物ドーパ膜4、フォトレジスト5およびCVD酸化膜を除去する。CVD酸化膜は、不純物ドーパ膜4中の不純物の気相への拡散を防止し、所望濃度の拡散層6を容易に形成するためのものである。

【0027】次に図2(d)に示すように、キャパシタ絶縁膜7をトレンチ3の側面および底面を被覆するように全面に形成した後、トレンチ3の内部を充填するように、第1ストレーショード電極となる高不純物濃度の第1多結晶シリコン膜8を全面に堆積する。

【0028】次に図3(e)に示すように、第1多結晶シリコン膜8をRIE法によってエッチバックして第1ストレーショード電極8を形成した後、これをマスクにしてキャパシタ絶縁膜7をエッチングすることによって、第1ストレーショード電極8よりも上の部分のトレンチ3の側面を露出させる。

【0029】次に図3(f)に示すように、第1ストレーショード電極7よりも上の部分のトレンチ3の側壁にウエー酸化膜(SiO₂膜)9をいわゆる側壁残しによって形成する。

【0030】次に図4(g)に示すように、トレンチ3の内部を埋め込むように高不純物濃度の第2多結晶シリコン膜をLPCVD法によって堆積した後、これをエッチバックして第2n型多結晶シリコン膜からなる第2ストレーショード電極10を形成する。この段階で、同じ構造、同じ寸法のトレンチキャパシタがDRAM領域内およびロジック領域内にそれぞれ複数形成された構造が完成する。

【0031】次に図4(h)に示すように、シリコン窒化膜11を全面に堆積する。

【0032】次に図5(i)に示すように、マスクパターン2のシリコン酸化膜(不図示)が露出するまで、マスクパターン2およびシリコン窒化膜11をCMP法により研磨した後、ウエットエッチングによりマスクパターン2のシリコン酸化膜を選択的に除去する。

【0033】次に図5(j)に示すように、マスクパターン2のシリコン酸化膜を除去して現れた基板表面を種に用いて、全面が覆われるように単結晶シリコンをエピタキシャル成長させ、その表面をCMP法またはエッチバック法を用いて平坦にすることにより、単結晶のシリコン膜12を形成する。上記エピタキシャル成長は、例えばシクルルシランをソースガスとして用いたSi選択成長により行う。

【0034】なお、非選択成長によりシリコン膜11を形成しても良い。この場合、シリコン膜12の一部は、

多結晶シリコン領域等の非単結晶シリコン領域となることもある。

【0035】ここでは、単結晶のシリコン膜11の形成方法として、エピタキシャル成長法を用いたが、その他の方法、例えば単結晶シリコン基板とシリコン基板1とを張り合わせた後、研磨または剥離法によって上記単結晶シリコン基板を薄く残す方法を用いても良い。

【0036】ここまでの工程は、DRAM混載LSIの種類に関係なく同じである。そのため、仕様に合わせたマスク(トレンチ3のマスクは除く)が完成する前に、上記工程を完了させることが可能である。

【0037】従来は、仕様に合わせたマスク(トレンチのマスクを含む)が完成してから、DRAMのトレンチキャパシタを形成し始める。これに対して、本実施形態の場合、仕様に合わせたマスク(トレンチ3のマスクは除く)が完成する前に、DRAMのトレンチキャパシタを完成させることが可能なので、製造期間の短縮化を図れる。

【0038】さらに、仕様に合わせたマスクが完成したときには既にDRAMのトレンチキャパシタは完成しているため、実質的な工程期間(仕様に合わせたマスクが出来上がってから製造工程が終了するまでの工程期間)を短縮できることでも、製造期間の短縮化を図れる。

【0039】仕様に合わせたマスクが完成した後の工程は以下の通りである。まず、図6(k)に示すように、シリコン膜12およびシリコン窒化膜11をエッチングし、DRAM領域の第2ストレーショード電極10に繋がるコンタクトホール13を開孔する。

【0040】ここで、ロジック領域のトレンチキャパシタは使用しない。そのため、ロジック領域のトレンチキャパシタは、ロジック回路を構成するMOSトランジスタとは電気的に分離されることになる。そのため、ロジック領域のトレンチキャパシタは一見無駄に思われる。

【0041】しかしながら、本発明者等の鋭意研究によれば、ロジック領域のトレンチキャパシタの多結晶シリコン膜8、10は、メタル等の不純物のゲッタリングサイトとして働き、その結果としてロジック領域のゲート酸化膜の耐圧が向上することが確認された。すなわち、ロジック領域のトレンチキャパシタは、装置の信頼性向上に有効な構造であることが確認された。従来のDRAM混載LSIは、ロジック領域の基板内にトレンチキャパシタが存在しないので、以上述べた効果は得られない。

【0042】次に図6(l)に示すように、コンタクトホール13の側面に絶縁膜14を形成した後、コンタクトホール13の内部を不純物が添加された多結晶シリコン膜(プラグ)15で埋め込む。

【0043】次に図7(m)に示すように、単結晶のシリコン膜12を種に用いて、単結晶シリコンを全面にエピタキシャル成長させ、その表面をCMP法またはエッチバック法を用いて平坦にすることにより、単結晶のシ

リコン薄膜16を形成する。このシリコン薄膜16は、多結晶シリコン膜15とシリコン膜12との間の電氣的接続を取ることを目的としている。

【0044】次に図7(n)に示すように、STI(Shallow Trench Isolation)のための素子分離絶縁膜17を形成した後、ゲート酸化膜18、ゲート電極19、シリコン窒化膜20、n型のソース・ドレイン拡散層21を形成する。ゲート電極19は、例えばポリシリコン膜とタンタム酸シリサイド膜との積層膜からなるポリサイドゲート電極である。

【0045】この後の工程は、周知のDRAM混載LSIのそれと同じであり、例えば図8に示すように、絶縁膜(SiO₂膜)22、シリサイド層23、ゲート側壁絶縁膜(シリコン窒化膜)24、層間絶縁膜(SiO₂膜)25、ビット線コンタクト(SAC)26、プラグ27、層間絶縁膜28、ビット線29、配線30、層間絶縁膜31、プラグ32、層間絶縁膜33、配線34を形成する工程が続く。

【0046】図8に示した構造では、DRAM領域のMOSトランジスタは、多結晶シリコン膜(プラグ)15を介してトレンチキャパシタと電氣的に接続し、MOSトランジスタはトレンチキャパシタ上に位置する。

【0047】これに対して従来構造では、DRAM領域のMOSトランジスタは、埋込みストラップを介してトレンチキャパシタと電氣的に接続し、MOSトランジスタはトレンチキャパシタの横に位置する。

【0048】したがって、本実施形態によれば、1トランジスタ・1キャパシタで構成された単位メモリセルの面積を従来よりも小さくでき、より集積度の高いDRAM混載LSIを実現することが可能となる。

【0049】以上、本発明の実施形態について説明したが、本発明はこれに限定されるものではない。例えば、上記実施形態では、メモリセルにnチャネルタイプのMOSトランジスタを用いた場合について説明したが、pチャネルタイプのMOSトランジスタを用いた場合にも同様な効果が得られる。なお図では、ロジック領域には簡単のために1個のMOSトランジスタしか示していないが、実際には複数のCMOSトランジスタである。

【0050】また、上記実施形態では、DRAM混載LSIの場合について説明したが、本発明は他のトレンチキャパシタを有する混載LSIにも適用可能である。

【0051】その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0052】

【発明の効果】以上詳説したように本発明によれば、製造コストの削減化および製造期間の短縮化を可能とする、複数の半導体素子と複数のトレンチキャパシタとが電氣的に接続された領域、および複数の半導体素子と複

数のトレンチキャパシタとが電氣的に分離された領域を含む半導体装置およびその製造方法を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るDRAM混載LSIの製造方法を示す断面図

【図2】図1に続く同製造方法を示す断面図

【図3】図2に続く同製造方法を示す断面図

【図4】図3に続く同製造方法を示す断面図

【図5】図4に続く同製造方法を示す断面図

【図6】図5に続く同製造方法を示す断面図

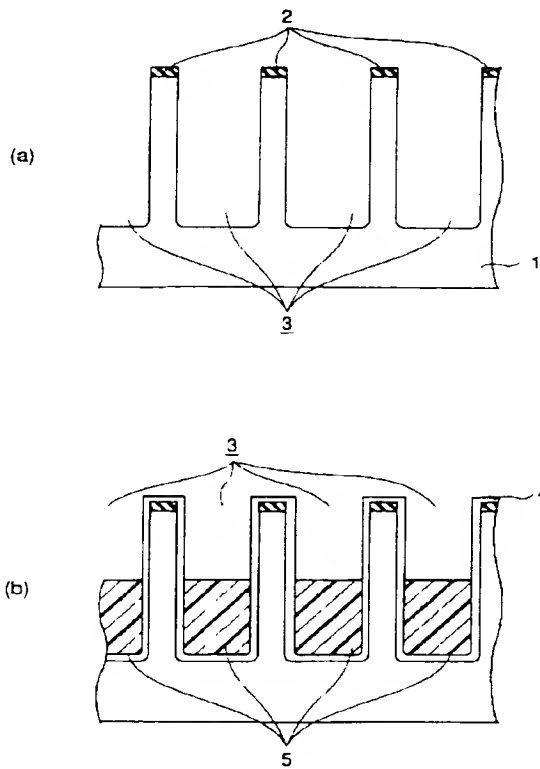
【図7】図6に続く同製造方法を示す断面図

【図8】図7に続く同製造方法を示す断面図

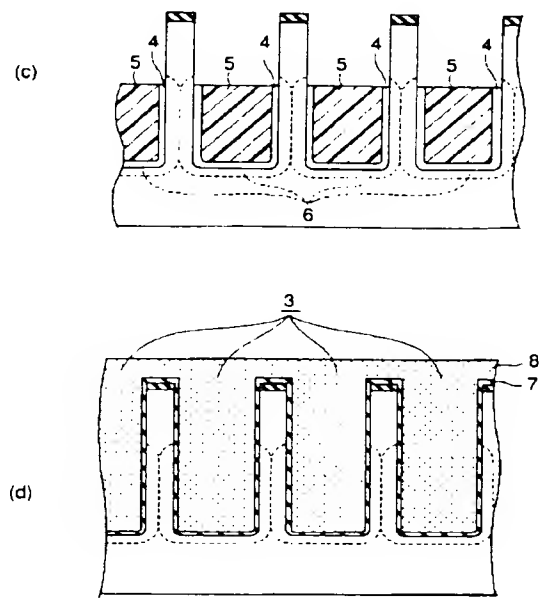
【符号の説明】

- 1…シリコン基板
- 2…マスクパターン
- 3…トレンチ
- 4…下純物ドーパ膜
- 5…フォトリジスト
- 6…拡散層(プレート電極)
- 7…キャパシタ絶縁膜
- 8…第1ストレーシノード電極
- 9…カラー酸化膜
- 10…第2ストレーシノード電極
- 11…シリコン窒化膜
- 12…シリコン膜
- 13…コンタクトホール
- 14…絶縁膜
- 15…多結晶シリコン膜(プラグ)
- 16…シリコン薄膜
- 17…素子分離絶縁膜
- 18…ゲート酸化膜
- 19…ゲート電極
- 20…シリコン窒化膜
- 21…ソース・ドレイン拡散層
- 22…絶縁膜(SiO₂膜)
- 23…シリサイド層
- 24…ゲート側壁絶縁膜(シリコン窒化膜)
- 25…層間絶縁膜(SiO₂膜)
- 26…ビット線コンタクト(SAC)
- 27…プラグ
- 28…層間絶縁膜
- 29…ビット線
- 30…配線
- 31…層間絶縁膜
- 32…プラグ
- 33…層間絶縁膜
- 34…配線

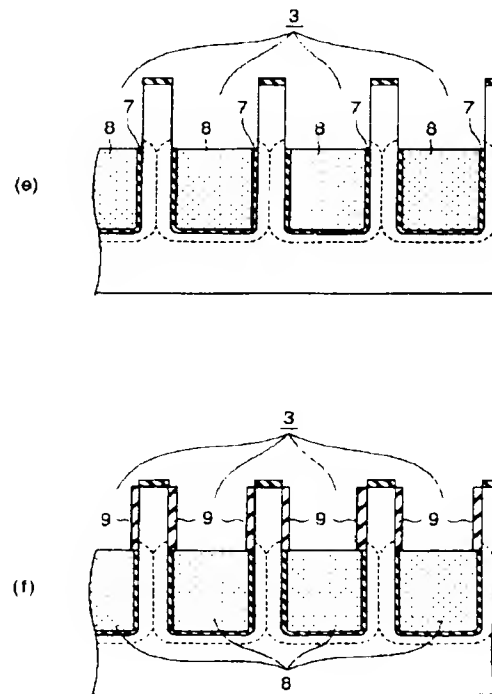
【図1】



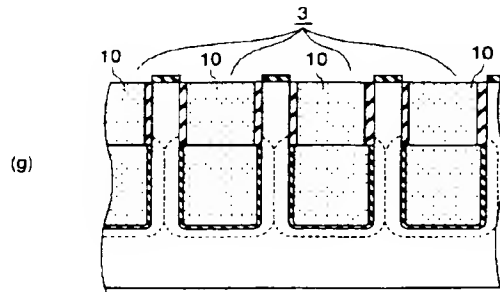
【図2】



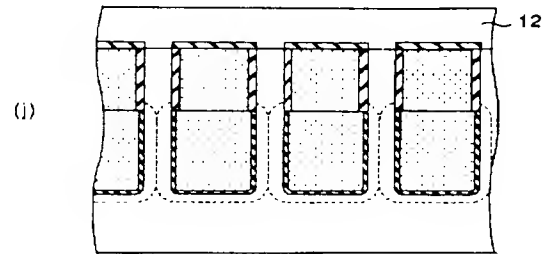
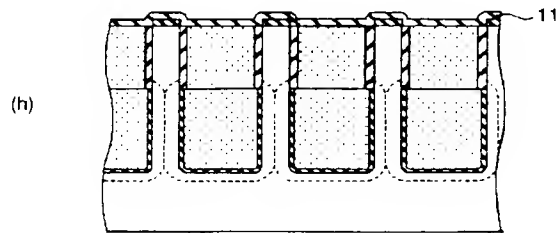
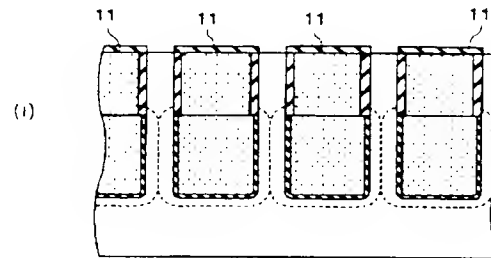
【図3】



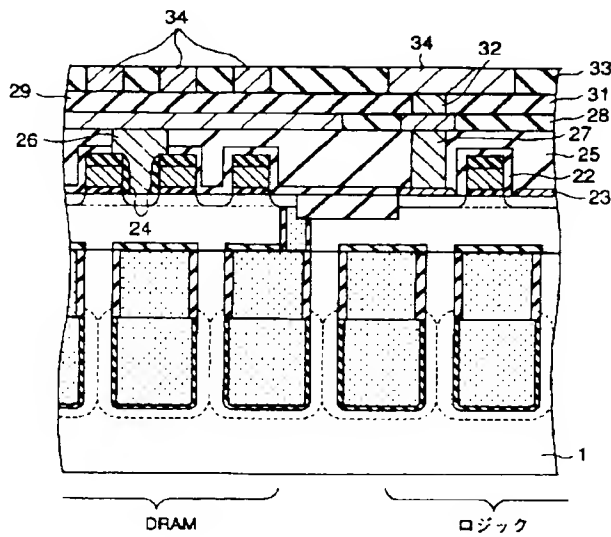
【図4】



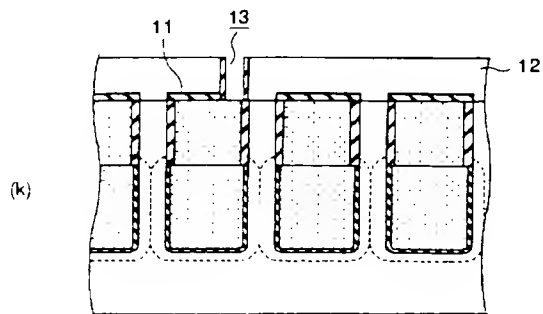
【図5】



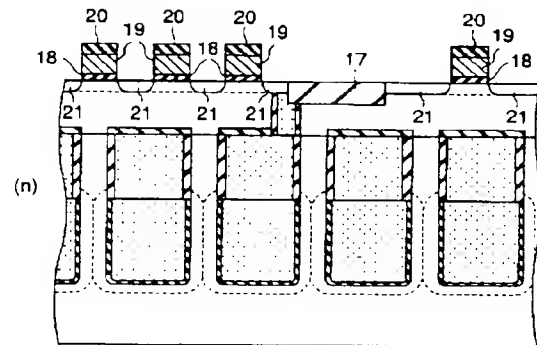
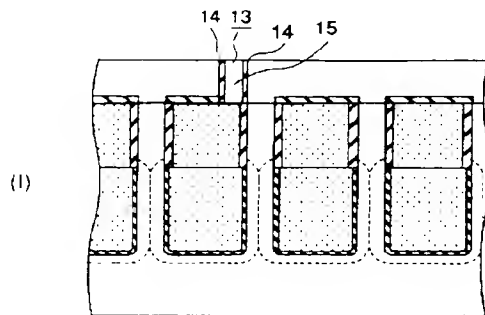
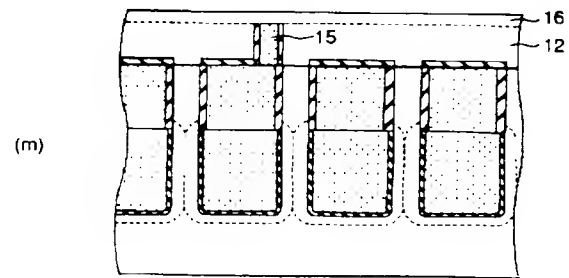
【図8】



【図6】



【図7】



フロントページの続き

Fターム(参考) 5F083 AD02 AD17 GA27 GA28 HA02
 MA03 MA06 MA17 MA19 MA20
 PR07 PR10 PR23 PR25 PR29
 PR43 PR44 PR45 PR53 PR54
 PR55 ZA12